

7-28-4

0801056
10/805,208

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 0 2 8 0 9 9
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 0 2 8 0 9 9]

出 願 人 株式会社東芝
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2 0 0 4 年 3 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫

【書類名】 特許願
【整理番号】 A000304280
【提出日】 平成16年 2月 4日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/76
H01L 27/10

【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
内
【氏名】 玖村 芳典

【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
内
【氏名】 國島 巖

【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝

【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181

【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲

【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠

【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊

【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男

【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎

【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板と、
前記半導体基板に形成された第 1 のトランジスタと、
前記第 1 のトランジスタに電氣的に接続され、第 1 の下部電極と第 1 の強誘電体膜と第 1 の上部電極とを有する第 1 のキャパシタ材料層で形成され、前記第 1 のキャパシタ材料層の中央部の膜厚が前記第 1 のキャパシタ材料層の端部の膜厚よりも厚い第 1 の強誘電体キャパシタと
を具備することを特徴とする強誘電体記憶装置。

【請求項 2】

前記半導体基板に形成された第 2 のトランジスタと、
前記第 2 のトランジスタに電氣的に接続され、第 2 の下部電極と第 2 の強誘電体膜と第 2 の上部電極とを有する第 2 のキャパシタ材料層で形成され、前記第 2 のキャパシタ材料層の中央部の膜厚が前記第 2 のキャパシタ材料層の端部の膜厚よりも厚い第 2 の強誘電体キャパシタと
をさらに具備し、
前記第 1 の上部電極及び前記第 1 の下部電極と前記第 1 のトランジスタの第 1 のソース／ドレインとが電氣的に並列接続された第 1 のセルと、前記第 2 の上部電極及び前記第 2 の下部電極と前記第 2 のトランジスタの第 2 のソース／ドレインとが電氣的に並列接続された第 2 のセルとが、電氣的に直列接続されていることを特徴とする請求項 1 に記載の強誘電体記憶装置。

【請求項 3】

前記第 1 の上部電極と前記第 1 のソース／ドレインの一方とを電氣的に接続し、前記第 1 の上部電極と隣接して設けられた第 1 のコンタクトと、
前記第 2 の上部電極と前記第 2 のソース／ドレインの一方とを電氣的に接続し、前記第 2 の上部電極と隣接して設けられた第 2 のコンタクトと
をさらに具備することを特徴とする請求項 2 に記載の強誘電体記憶装置。

【請求項 4】

前記第 1 の強誘電体キャパシタは、円錐状であることを特徴とする請求項 1 に記載の強誘電体記憶装置。

【請求項 5】

半導体基板に第 1 のトランジスタを形成する工程と、
前記第 1 のトランジスタ及び前記半導体基板上に第 1 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜上にマスク層を形成する工程と、
前記マスク層に第 1 の開口部を形成する工程と、
前記マスク層を用いて前記第 1 の絶縁膜を除去し、前記第 1 の絶縁膜内に第 1 の溝を形成する工程と、
スパッタリングを用いて第 1 の下部電極、第 1 の強誘電体膜及び第 1 の上部電極を前記マスク層上及び前記第 1 の溝内に堆積し、前記第 1 の溝内に第 1 の強誘電体キャパシタを自己整合的に形成する工程と、
前記マスク層上の前記第 1 の下部電極、前記第 1 の強誘電体膜及び前記第 1 の上部電極を除去する工程と
を具備することを特徴とする強誘電体記憶装置の製造方法。

【書類名】明細書**【発明の名称】強誘電体記憶装置及びその製造方法****【技術分野】****【0001】**

本発明は、強誘電体キャパシタを有する強誘電体記憶装置及びその製造方法に関する。

【背景技術】**【0002】**

近年、半導体メモリの一つとして、強誘電体キャパシタを用いた不揮発性メモリ（FeRAM: Ferro-electric Random Access Memory）が注目されている。

【0003】

従来のFeRAMは、例えば次のようなプロセスで形成されている。まず、半導体基板にトランジスタが形成される。次に、トランジスタ上に層間絶縁膜が堆積され、この層間絶縁膜が平坦化される。次に、層間絶縁膜上に強誘電体キャパシタを構成する下部電極、強誘電体膜及び上部電極が順に堆積される。その後、下部電極、強誘電体膜及び上部電極がドライエッチングにより加工され、強誘電体キャパシタが形成される。

【0004】

このような従来のFeRAMでは、次のような問題あった。上述するように強誘電体キャパシタの加工には、ドライエッチング技術が用いられている。しかし、このドライエッチングにより、強誘電体キャパシタへダメージが生じ、さらに、フェンスができることによりキャパシタリークが生じてしまう。このようなキャパシタダメージ及びキャパシタリークの影響は、強誘電体キャパシタの高集積化に伴ってキャパシタの微細化が進むと甚大となり無視できなくなる。

【発明の開示】**【発明が解決しようとする課題】****【0005】**

本発明は上記課題を解決するためになされたものであり、その目的とするところは、ドライエッチング技術を用いずに強誘電体キャパシタを形成することが可能な強誘電体記憶装置及びその製造方法を提供することにある。

【課題を解決するための手段】**【0006】**

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0007】

本発明の第1の視点による強誘電体記憶装置は、半導体基板と、前記半導体基板に形成された第1のトランジスタと、前記第1のトランジスタに電氣的に接続され、第1の下部電極と第1の強誘電体膜と第1の上部電極とを有する第1のキャパシタ材料層で形成され、前記第1のキャパシタ材料層の中央部の膜厚が前記第1のキャパシタ材料層の端部の膜厚よりも厚い第1の強誘電体キャパシタとを具備する。

【0008】

本発明の第2の視点による強誘電体記憶装置の製造方法は、半導体基板に第1のトランジスタを形成する工程と、前記第1のトランジスタ及び前記半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上にマスク層を形成する工程と、前記マスク層に第1の開口部を形成する工程と、前記マスク層を用いて前記第1の絶縁膜を除去し、前記第1の絶縁膜内に第1の溝を形成する工程と、スパッタリングを用いて第1の下部電極、第1の強誘電体膜及び第1の上部電極を前記マスク層上及び前記第1の溝内に堆積し、前記第1の溝内に第1の強誘電体キャパシタを自己整合的に形成する工程と、前記マスク層上の前記第1の下部電極、前記第1の強誘電体膜及び前記第1の上部電極を除去する工程とを具備する。

【発明の効果】**【0009】**

以上説明したように本発明によれば、ドライエッチング技術を用いずに強誘電体キャ

パシタを形成することが可能な強誘電体記憶装置及びその製造方法を提供できる。

【発明を実施するための最良の形態】

【0010】

本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0011】

〔第1の実施形態〕

第1の実施形態は、層間絶縁膜内に溝を形成し、この溝内にスパッタリングにより下部電極、強誘電体膜及び上部電極を順に堆積することで、ドライエッチングを用いることなくキャパシタを形成する例である。

【0012】

図1は、本発明の第1の実施形態に係る強誘電体記憶装置の断面図を示す。以下に、第1の実施形態に係る強誘電体記憶装置の構造について説明する。

【0013】

図1に示すように、シリコン基板11内にソース／ドレイン拡散層14が形成され、シリコン基板11上にゲート電極13a、13bが形成されることで、トランジスタ15a、15bが形成されている。トランジスタ15a、15bのソース／ドレイン拡散層14の一方には、コンタクト21aが接続され、トランジスタ15a、15bのソース／ドレイン拡散層14の他方には、コンタクト17a、17bが接続されている。

【0014】

コンタクト21a上には、下部電極27と強誘電体膜28と上部電極29とを有する強誘電体キャパシタ30が形成されている。下部電極27、強誘電体膜28及び上部電極29のそれぞれは中央部の膜厚が端部の膜厚よりも厚くなっているため、強誘電体キャパシタ30の高さは均一でなく、強誘電体キャパシタ30の中央部が最も高くなっている。そして、強誘電体キャパシタ30の上面には従来のような角張った端部がないため、強誘電体キャパシタ30の上面がなだらかに湾曲したお椀状の強誘電体キャパシタ30が形成されている。

【0015】

強誘電体キャパシタ30は、層間絶縁膜22で囲まれている。言い換えると、層間絶縁膜22内にキャパシタ溝26が形成され、このキャパシタ溝26内に強誘電体キャパシタ30が形成されている。ここで、キャパシタ溝26は層間絶縁膜22を等方性エッチングにより除去することで形成されているため、キャパシタ溝26の側面はキャパシタ溝26の外側に突出するように（層間絶縁膜22の側面が内側に窪むように）湾曲している。

【0016】

尚、下部電極27は、導電性の酸素拡散防止効果を持つ材料で形成されており、例えば、Ir、IrO₂、Ru、RuO₂、Ptなどが含まれている材料で形成されている。また、コンタクト17a、17b上には、例えばTiN、TiAlN等からなる絶縁性の酸素拡散防止膜18が形成されている。このように、酸素拡散防止効果を有する下部電極27によりコンタクト21aの酸化を防止し、酸素拡散防止膜18によりコンタクト17a、17bの酸化を防止している。尚、キャパシタ直下の全面（層間絶縁膜19の上面）に酸素バリア膜を設けてもよい。

【0017】

図2乃至図11は、本発明の第1の実施形態に係る強誘電体記憶装置の製造工程の断面図を示す。以下に、第1の実施形態に係る強誘電体記憶装置の製造方法について説明する。ここでは、強誘電体キャパシタが存在するキャパシタ回路部とこのキャパシタ回路部を制御する周辺回路部とを同時に形成する場合を例にあげる。

【0018】

まず、図2に示すように、シリコン基板11内に素子分離を行うためのSTI (Shallow Trench Isolation) 領域12が形成される。その後、シリコン基板11上にゲート電極13a、13b、13c、13dが形成され、このゲート電極13a、13b、13c、

13dを挟むようにソース／ドレイン拡散層14が形成される。このようにして、キャパシタ回路部のトランジスタ15a, 15bと周辺回路部のトランジスタ15c, 15dが形成される。

【0019】

次に、図3に示すように、シリコン基板11及びトランジスタ15a, 15b, 15c, 15d上に層間絶縁膜16が堆積され、この層間絶縁膜16の上面が例えばCMP (Chemical Mechanical Polish) で平坦化される。この層間絶縁膜16の材料としては、例えば、BPSG (Boron Phosphorous Silicate Glass), P-TEOS (Plasma-Tetra Ethoxy Silane) などがあげられる。

【0020】

次に、図4に示すように、層間絶縁膜16内にソース／ドレイン拡散層14に接続するコンタクト17a, 17bが形成される。次に、コンタクト17a, 17b及び層間絶縁膜16上に酸素拡散防止膜18が形成され、この酸素拡散防止膜18上に層間絶縁膜19が堆積される。ここで、酸素拡散防止膜18の材料としては、例えばTiN, TiAlNなどがあげられ、層間絶縁膜19の材料としては、例えばBPSG, P-TEOSなどがあげられる。

【0021】

次に、図5に示すように、層間絶縁膜16, 19及び酸素拡散防止膜18が選択的に除去され、コンタクトホール20a, 20b, 20cが開口される。その後、コンタクトホール20a, 20b, 20c内に金属材が埋め込まれ、この金属材が平坦化される。これにより、コンタクト21a, 21b, 21cが形成される。このコンタクト21a, 21b, 21cの材料としては、例えば、W (タングステン) やドーブした多結晶シリコンなどがあげられる。ここで、キャパシタ回路部のコンタクト21aはソース／ドレイン拡散層14に接続され、周辺回路部のコンタクト21b, 21cはゲート電極13c, 13dにそれぞれ接続される。

【0022】

次に、図6に示すように、コンタクト21a, 21b, 21c及び層間絶縁膜19上に層間絶縁膜22が形成され、この層間絶縁膜22上にピンホールマスク層23が形成される。ここで、ピンホールマスク層23は層間絶縁膜22と加工選択比のある材料で形成されることが望ましく、例えば、層間絶縁膜22をSiO₂膜で形成した場合は、ピンホールマスク層23はSiON膜, SiN膜, ポリシリコン膜, TiO₂膜, Al₂O₃膜などで形成するとよい。

【0023】

次に、図7に示すように、ピンホールマスク層23が所定のパターンに加工され、開口部24が形成される。その後、このピンホールマスク層23を用いて例えばRIE (Reactive Ion Etching) のような異方性エッチングによって層間絶縁膜22が除去され、コンタクト21aを露出する溝25が形成される。

【0024】

次に、図8に示すように、ピンホールマスク層23を用いて例えばCDE (Chemical Dry Etching) やウエットエッチングのような等方性エッチングによって層間絶縁膜22がさらに除去され、溝25の幅が大きくされる。これにより、開口部24の幅よりも大きな幅を有するキャパシタ溝26が形成される。

【0025】

次に、図9に示すように、スパッタリングにより、ピンホールマスク層23上に下部電極27、強誘電体膜28、上部電極29が順に堆積される。この際、ピンホールマスク層23の開口部24からキャパシタ溝26内にも下部電極27、強誘電体膜28、上部電極29が順に堆積されるため、キャパシタ溝26内に下部電極27、強誘電体膜28、上部電極29からなる強誘電体キャパシタ30が自己整合的に形成される。

【0026】

尚、下部電極27は、例えば、Pt, Ir, IrO₂, SRO, Ru, RuO₂などの

いずれかを含む材料で形成され、強誘電体膜 28 は、例えば、PZT, SBT などのいずれかを含む材料で形成され、上部電極 29 は、例えば、Pt, Ir, IrO₂, SrO, Ru, RuO₂ などのいずれかを含む材料で形成されている。

【0027】

次に、図 10 に示すように、例えば CMP やリフトオフにより、層間絶縁膜 22 上のピンホールマスク層 23、下部電極 27、強誘電体膜 28、上部電極 29 が除去される。

【0028】

次に、図 11 に示すように、層間絶縁膜 22 及びキャパシタ 30 上に層間絶縁膜 31 が形成され、この層間絶縁膜 31 の上面が CMP で平坦化される。この層間絶縁膜 31 の材料としては、例えば、P-TEOS, O₃-TEOS, SOG, Al₂O₃, SiN, SiON などがあげられる。次に、層間絶縁膜 31 が選択的に除去され、コンタクトホール 32 及び配線溝 33 が形成される。その後、例えば 650℃ の酸素雰囲気中に 1 時間などの条件で、高温の酸素アニールが行われる。次に、コンタクトホール 32 及び配線溝 33 内に例えば W, Al, TiN などを含む金属材が埋め込まれて平坦化され、コンタクト 34 及び配線 35 が形成される。

【0029】

上記第 1 の実施形態によれば、ピンホールマスク層 23 の開口部 24 を用いて層間絶縁膜 22 内にキャパシタ溝 26 をセル毎に形成した後に、強誘電体キャパシタ材料をスパッタリングで堆積する。これにより、強誘電体キャパシタ材料は、ピンホールマスク層 23 上に堆積されるとともに、開口部 24 からキャパシタ溝 26 内にも堆積される。従って、開口部 24 により強誘電体キャパシタ材料はセル毎に分離され、強誘電体キャパシタ 30 が自己整合的に形成される。このように、従来は、ドライエッチングを用いて強誘電体キャパシタ材料を加工しなければならなかったのに対し、第 1 の実施形態では、スパッタリングのみで強誘電体キャパシタ 30 をセル毎に形成することができる。従って、ドライエッチング技術を用いないで強誘電体キャパシタを形成することができるため、従来の強誘電体キャパシタにおけるドライエッチングによる加工ダメージの発生や、ドライエッチング時に形成されるフェンスによるキャパシタリークの発生を抑制できるため、信頼性の高い微細キャパシタを容易に実現できる。

【0030】

また、強誘電体キャパシタ 30 はスパッタリングによってお椀状に形成されている。従って、実効的なキャパシタ面積を拡大できるため、高集積化に対しても信号量を減少させずに強誘電体記憶装置を製造できる。

【0031】

また、キャパシタ溝 26 は、層間絶縁膜 22 を異方性エッチングで除去した後に、等方性エッチングで除去することで形成されている。このため、キャパシタ溝 26 の幅は、ピンホールマスク層 23 の開口部 24 の幅よりも大きく形成できる。これにより、キャパシタ溝 26 の入り口を小さくできるため、お椀状の強誘電体キャパシタ 30 の形成が可能となる。

【0032】

[第 2 の実施形態]

第 2 の実施形態は、第 1 の実施形態における強誘電体キャパシタの構造を TC 並列ユニット直列接続型にしたものである。この TC 並列ユニット直列接続型とは、セルトランジスタ (T) のソースドレイン間にキャパシタ (C) の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した構造のことをいう。

【0033】

図 12 は、本発明の第 2 の実施形態に係る強誘電体記憶装置の断面図を示す。図 12 に示すように、第 2 の実施形態において、第 1 の実施形態と異なる点は、強誘電体キャパシタの構造が TC 並列ユニット直列接続型になっている点である。具体的には次のような構造になっている。

【0034】

第1のセルにおいて、トランジスタ15aのソース／ドレイン拡散層14の一方には、キャパシタ30aの下部電極27がコンタクト21aを介して電氣的に接続され、ソース／ドレイン拡散層14の他方には、コンタクト17a, 34a, 34c及び配線35aを介してキャパシタ30aの上部電極29が電氣的に接続されている。これにより、トランジスタ15aのソース／ドレイン拡散層14とキャパシタ30aの上部電極29及び下部電極27とが電氣的に並列接続されている。

【0035】

第2のセルにおいて、トランジスタ15bのソース／ドレイン拡散層14の一方には、キャパシタ30bの下部電極27がコンタクト21aを介して電氣的に接続され、ソース／ドレイン拡散層14の他方には、コンタクト17b, 34b, 34d及び配線35bを介してキャパシタ30bの上部電極29が電氣的に接続されている。これにより、トランジスタ15bのソース／ドレイン拡散層14とキャパシタ30bの上部電極29及び下部電極27とが電氣的に並列接続されている。

【0036】

そして、第1及び第2のセルにおいては、トランジスタ15a, 15bと下部電極27とを接続するコンタクト21aを共有することで、第1及び第2のセルが電氣的に直列接続されている。

【0037】

図13乃至図17は、本発明の第2の実施形態に係る強誘電体記憶装置の製造工程の断面図を示す。以下に、第2の実施形態に係る強誘電体記憶装置の製造方法について説明する。ここでも、第1の実施形態と同様、キャパシタ回路部と周辺回路部とを同時に形成する場合を例にあげる。

【0038】

まず、図2乃至図6に示すように、第1の実施形態と同様、コンタクト21a, 21b, 21c及び層間絶縁膜19上に層間絶縁膜22が形成され、この層間絶縁膜22上にピンホールマスク層23が形成される。

【0039】

次に、図13に示すように、ピンホールマスク層23が所定のパターンに加工され、開口部24a, 24bが形成される。その後、このピンホールマスク層23を用いて、異方性エッチングによって層間絶縁膜22が除去された後、さらに、等方性エッチングによって層間絶縁膜22が除去され、コンタクト21aを露出するキャパシタ溝26a, 26bが形成される。

【0040】

次に、図14に示すように、スパッタリングにより、ピンホールマスク層23上に下部電極27、強誘電体膜28、上部電極29が順に堆積される。この際、ピンホールマスク層23の開口部24a, 24bからキャパシタ溝26a, 26b内にも下部電極27、強誘電体膜28、上部電極29が順に堆積されるため、キャパシタ溝26a, 26b内に下部電極27、強誘電体膜28、上部電極29からなる強誘電体キャパシタ30a, 30bが自己整合的に形成される。

【0041】

次に、図15に示すように、例えばCMPやリフトオフにより、層間絶縁膜22上のピンホールマスク層23、下部電極27、強誘電体膜28、上部電極29が除去される。

【0042】

次に、図16に示すように、層間絶縁膜22及びキャパシタ30a, 30b上に層間絶縁膜31が形成される。次に、層間絶縁膜31が選択的に除去され、コンタクトホール32a, 32b形成される。その後、例えば650℃の酸素雰囲気中に1時間などの条件で、高温の酸素アニールが行われる。次に、コンタクトホール32a, 32b内に金属材料が埋め込まれて平坦化され、コンタクト34a, 34bが形成される。

【0043】

次に、図17に示すように、コンタクト17a, 17bに接続するコンタクト34c,

34 d が形成される。次に、コンタクト 34 c, 34 d とコンタクト 34 a, 34 b とを接続する配線 35 a, 35 b がそれぞれ形成される。

【0044】

上記第 2 の実施形態によれば、上記第 1 の実施形態と同様の効果を得ることができるだけでなく、さらに次のような効果も得ることができる。

【0045】

従来、TC 並列ユニット直列接続型構造をドライエッチング技術により形成する場合、キャパシタへのダメージやフェンスによるリークの問題の他に、リソグラフィ工程が 2 工程も必要であるという問題があった。これに対し、第 2 の実施形態では、ドライエッチング技術を用いないため、キャパシタへのダメージやフェンスによるリークの問題を回避できるだけでなく、リソグラフィ工程を 1 回に減らすことができるため、コストを削減することもできる。

【0046】

[第 3 の実施形態]

第 3 の実施形態は、第 2 の実施形態の変形例であり、TC 並列ユニット直列接続型の構造において、強誘電体キャパシタの上部電極へのコンタクトとソース／ドレイン上のコンタクトプラグへのコンタクトとを一括形成する例である。

【0047】

図 18 は、本発明の第 3 の実施形態に係る強誘電体記憶装置の断面図を示す。強誘電体キャパシタ 30 a, 30 b の上部電極 29 とソース／ドレイン拡散層 14 上のコンタクト 17 a, 17 b とを接続する際、第 2 の実施形態では、コンタクト 34 a, 34 b, 34 c, 34 d 及び配線 35 a, 35 b を用いていたのに対し、第 3 の実施形態では、コンタクト 34 a, 34 b のみを用いる。

【0048】

具体的には、上部電極 29 に隣接してコンタクト 34 a, 34 b を設けることで、このコンタクト 34 a, 34 b を用いて上部電極 29 とコンタクト 17 a, 17 b とが接続されている。この際、下部電極 27 の幅よりも上部電極 29 の幅の方が大きくし、上部電極 29 が下部電極 27 を覆うように形成するため、コンタクト 17 a, 17 b には下部電極 27 は接触せずに上部電極 29 のみ接触するようになっている。

【0049】

図 19 乃至図 23 は、本発明の第 3 の実施形態に係る強誘電体記憶装置の製造工程の断面図を示す。以下に、第 3 の実施形態に係る強誘電体記憶装置の製造方法について説明する。

【0050】

まず、図 2 乃至図 6 に示すように、第 1 の実施形態と同様、コンタクト 21 a, 21 b, 21 c 及び層間絶縁膜 16 上に層間絶縁膜 22 が形成され、この層間絶縁膜 22 上にピンホールマスク層 23 が形成される。

【0051】

次に、図 19 に示すように、ピンホールマスク層 23 が所定のパターンに加工され、開口部 24 a, 24 b が形成される。その後、このピンホールマスク層 23 を用いて、異方性エッチングによって層間絶縁膜 22 が除去された後、さらに、等方性エッチングによって層間絶縁膜 22 が除去され、キャパシタ溝 26 a, 26 b が形成される。

【0052】

次に、図 20 に示すように、スパッタリングにより、ピンホールマスク層 23 上に下部電極 27 が堆積される。この際、ピンホールマスク層 23 の開口部 24 a, 24 b からキャパシタ溝 26 a, 26 b 内にも下部電極 27 が堆積される。

【0053】

次に、図 21 に示すように、等方性エッチングによって層間絶縁膜 22 がさらに除去され、幅がさらに大きく広げられたキャパシタ溝 26 a', 26 b' が形成される。

【0054】

次に、図 22 に示すように、スパッタリングにより、強誘電体膜 28、上部電極 29 が順に堆積される。この際、ピンホールマスク層 23 の開口部 24 a, 24 b からキャパシタ溝 26 a', 26 b' 内にも強誘電体膜 28、上部電極 29 が順に堆積されるため、キャパシタ溝 26 a', 26 b' 内に下部電極 27、強誘電体膜 28、上部電極 29 からなる強誘電体キャパシタ 30 a, 30 b が自己整合的に形成される。

【0055】

次に、図 23 に示すように、例えば CMP やリフトオフにより、層間絶縁膜 22 上のピンホールマスク層 23、下部電極 27、強誘電体膜 28、上部電極 29 が除去される。

【0056】

次に、図 18 に示すように、層間絶縁膜 22 及びキャパシタ 30 a, 30 b 上に層間絶縁膜 31 が形成される。次に、層間絶縁膜 19, 22, 31 及び酸素拡散防止膜 18 が選択的に除去され、コンタクトホール 32 a, 32 b 形成される。その後、例えば 650℃ の酸素雰囲気中に 1 時間などの条件で、高温の酸素アニールが行われる。次に、コンタクトホール 32 a, 32 b 内に金属材が埋め込まれ、この金属材の上面が平坦化される。これにより、コンタクト 34 a, 34 b が自己整合的に形成される。

【0057】

上記第 3 の実施形態によれば、上記第 1 の実施形態の同様の効果を得ることができるだけでなく、さらに次のような効果も得ることができる。

【0058】

第 3 の実施形態では、キャパシタ溝 26 a, 26 b 内に下部電極 27 を形成した後、溝 26 a, 26 b よりも幅が広げられた溝 26 a', 26 b' を形成し、この溝 26 a', 26 b' 内の下部電極 27 上に強誘電体膜 28 及び上部電極 29 を堆積する。このため、下部電極 27 を覆うように上部電極 29 を形成することができる。これにより、強誘電体キャパシタ 30 a, 30 b の上部電極 29 とトランジスタ 15 a, 15 b のソース/ドレイン拡散層 14 上に形成されたコンタクト 17 a, 17 b とを電氣的に接続させるコンタクト 34 a, 34 b を自己整合的に形成できる。従って、第 3 の実施形態は、第 2 の実施形態よりも、工程数の削減や強誘電体記憶装置の高集積化が可能となる。

【0059】

[第 4 の実施形態]

第 4 の実施形態は、第 1 の実施形態における強誘電体キャパシタを 3 次元キャパシタに変形させたものである。ここで、3 次元キャパシタとは、キャパシタを構成する上部電極、強誘電体膜及び下部電極のうち少なくとも一層が、X Y 方向に平面的に延在するだけでなく、Z 方向にも立体的に延在する構造のキャパシタのことをいう。

【0060】

図 24 は、本発明の第 4 の実施形態に係る強誘電体記憶装置の断面図を示す。図 24 に示すように、第 4 の実施形態において、第 1 の実施形態と異なる点は、強誘電体キャパシタ 30 が 3 次元的に形成されている点である。つまり、下部電極 27 の膜厚を厚くして、強誘電体キャパシタ 30 を三角錐状にすることで、強誘電体膜 28 及び上部電極 29 が 3 次元的に形成されるため、3 次元キャパシタが実現できる。

【0061】

尚、このような 3 次元キャパシタは、第 1 の実施形態におけるプロセスにおいて、層間絶縁膜 22 を厚く堆積し、下部電極 27 を厚く堆積させることで実現できる。

【0062】

上記第 4 の実施形態によれば、上記第 1 の実施形態の同様の効果を得ることができるだけでなく、さらに次のような効果も得ることができる。

【0063】

強誘電体記憶装置の高集積化に伴って強誘電体キャパシタの微細化が進むと、信頼性からより大きな信号量が必要となるため、強誘電体キャパシタの 3 次元化が必須である。強誘電体キャパシタの 3 次元化は技術的な困難度が高い。しかし、第 4 の実施形態によれば、容易に 3 次元キャパシタ 30 が形成できる。このように 3 次元的に強誘電体キャパシタ

30を形成することによって、実効的に広いキャパシタ面積を実現できるため、微細化したキャパシタにおいても十分な信号量を保持できる。

【0064】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。例えば、コンタクトの酸化を防止するために、層間絶縁膜22を絶縁性の酸素バリア膜との積層構造にしてもよい。すなわち、図25に示すように、コンタクト21aと下部電極27との電気的な接続を妨げない範囲で、コンタクト21aの一部の上に酸素バリア膜40を形成してもよい。

【0065】

さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0066】

【図1】本発明の第1の実施形態に係わる強誘電体記憶装置を示す断面図。

【図2】本発明の第1の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

。

【図3】図2に続く、本発明の第1の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図4】図3に続く、本発明の第1の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図5】図4に続く、本発明の第1の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図6】図5に続く、本発明の第1の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図7】図6に続く、本発明の第1の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図8】図7に続く、本発明の第1の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図9】図8に続く、本発明の第1の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図10】図9に続く、本発明の第1の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図11】図10に続く、本発明の第1の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図12】本発明の第2の実施形態に係わる強誘電体記憶装置を示す断面図。

【図13】本発明の第2の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図14】図13に続く、本発明の第2の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図15】図14に続く、本発明の第2の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図16】図15に続く、本発明の第2の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図17】図16に続く、本発明の第2の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図18】本発明の第3の実施形態に係わる強誘電体記憶装置を示す断面図。

【図19】本発明の第3の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

図。

【図 20】図 19 に続く、本発明の第 3 の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図 21】図 20 に続く、本発明の第 3 の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図 22】図 21 に続く、本発明の第 3 の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図 23】図 22 に続く、本発明の第 3 の実施形態に係わる強誘電体記憶装置の製造工程を示す断面図。

【図 24】本発明の第 4 の実施形態に係わる強誘電体記憶装置を示す断面図。

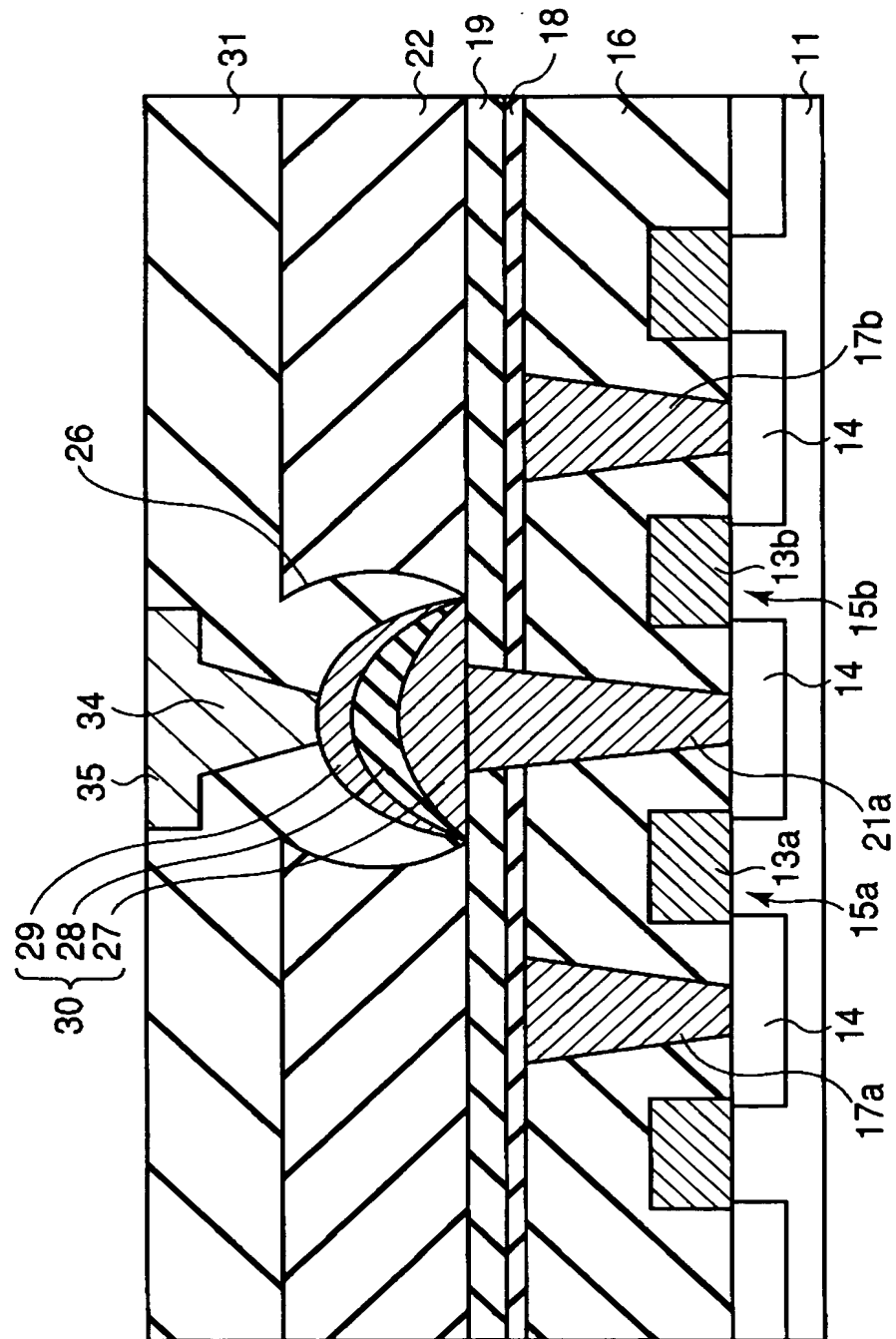
【図 25】本発明の各実施形態に係わる強誘電体記憶装置を示す断面図。

【符号の説明】

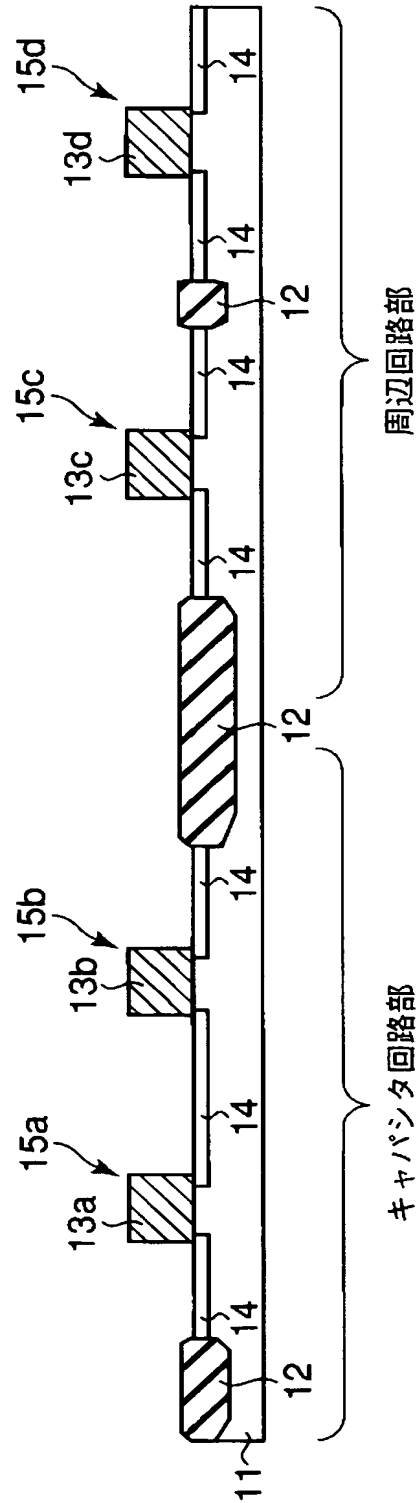
【0067】

11…シリコン基板、12…STI領域、13a, 13b, 13c, 13d…ゲート電極、14…ソース／ドレイン拡散層、15a, 15b, 15c, 15d…トランジスタ、16, 19, 22, 31…層間絶縁膜、17a, 17b, 21a, 21b, 21c, 34, 34a, 34b, 34c, 34d…コンタクト、18…酸素拡散防止膜、20a, 20b, 20c, 32, 32a, 32b…コンタクトホール、23…ピンホールマスク層、24, 24a, 24b…開口部、25, 26, 26a, 26b, 26a', 26b'…キャパシタ溝、27…下部電極、28…強誘電体膜、29…上部電極、30, 30a, 30b…強誘電体キャパシタ、33…配線溝、35, 35a, 35b…配線、40…酸素バリア膜。

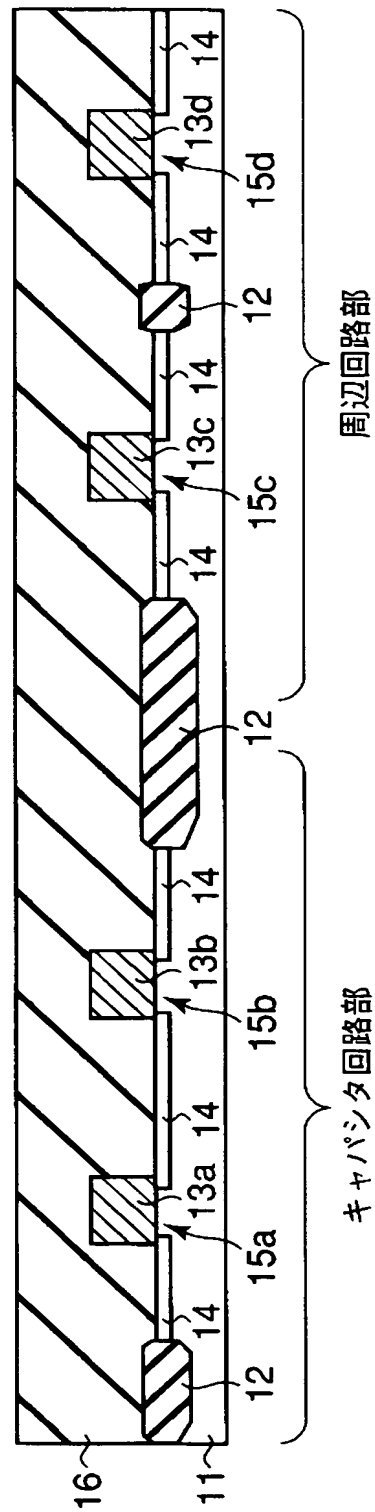
【書類名】 図面
【図 1】



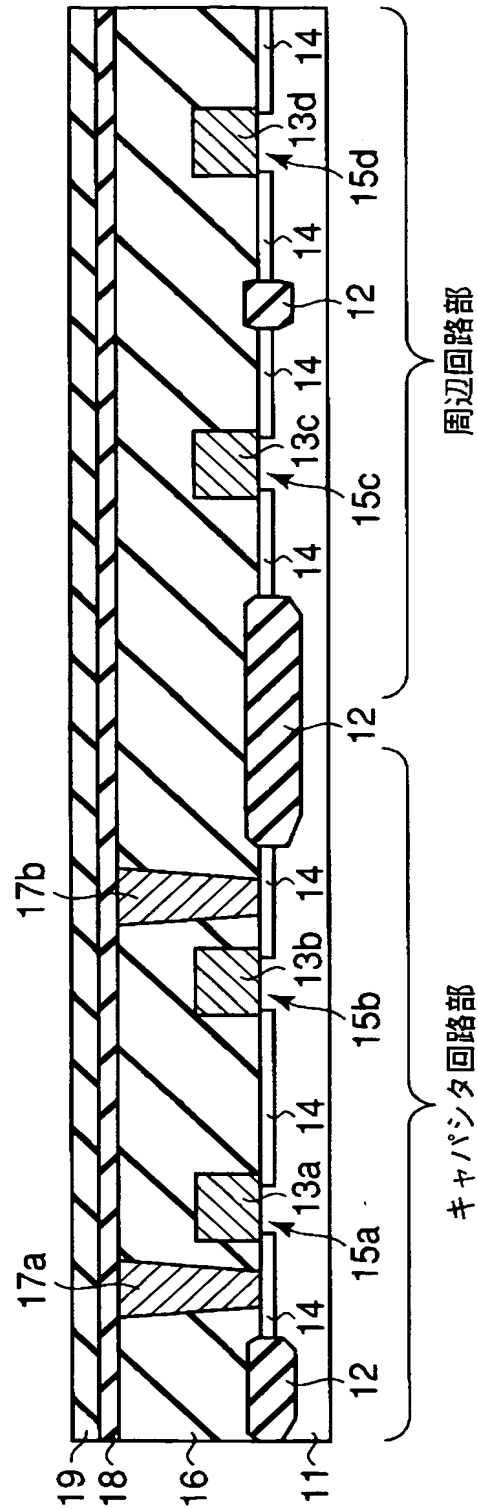
【図 2】



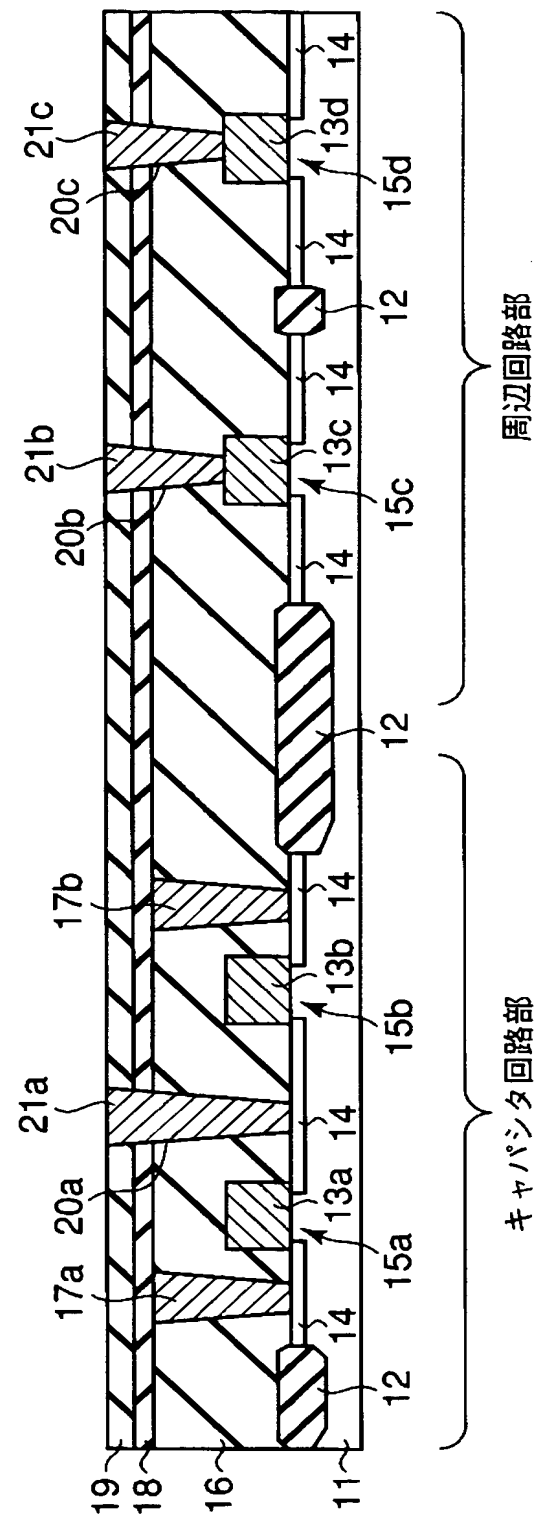
【図 3】



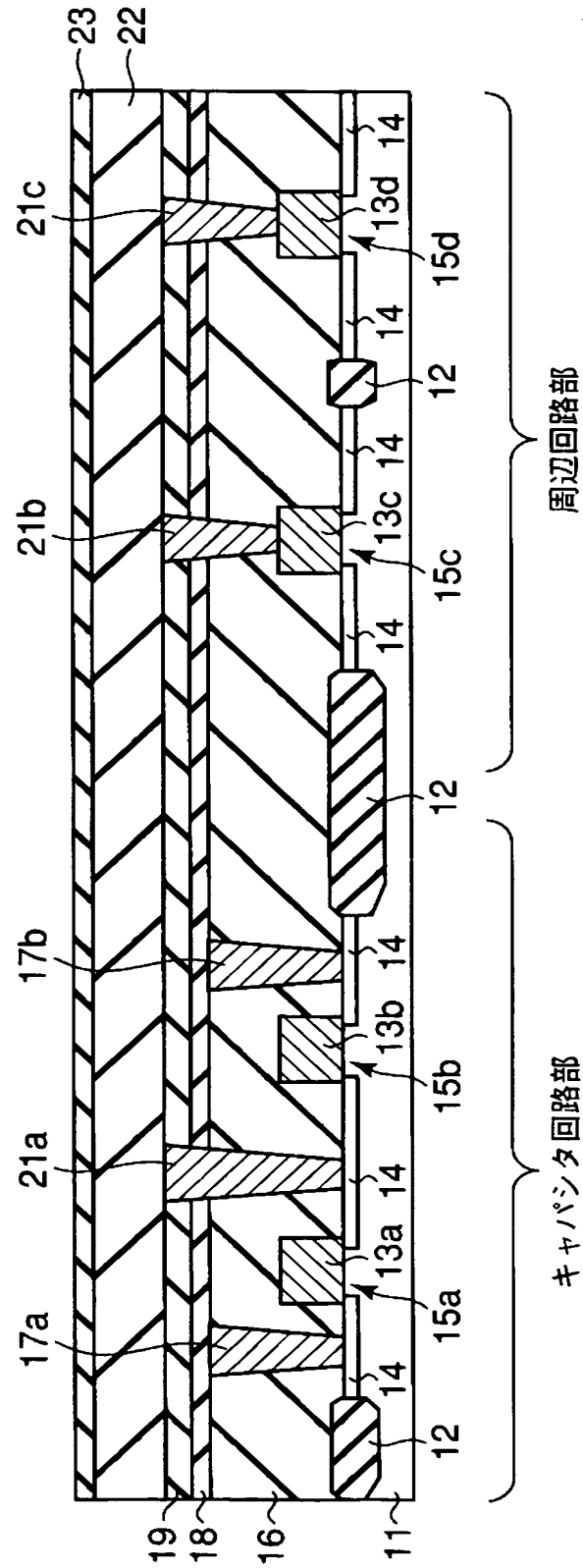
【図 4】



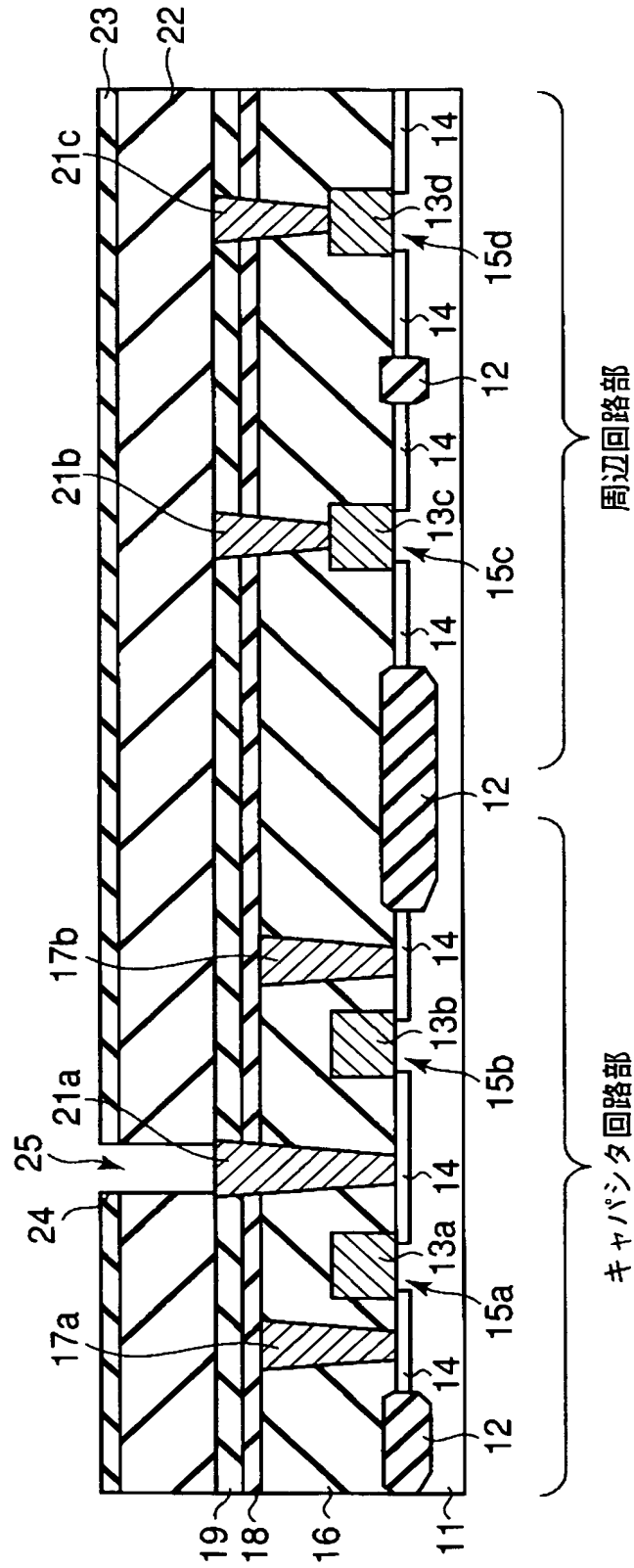
【図 5】



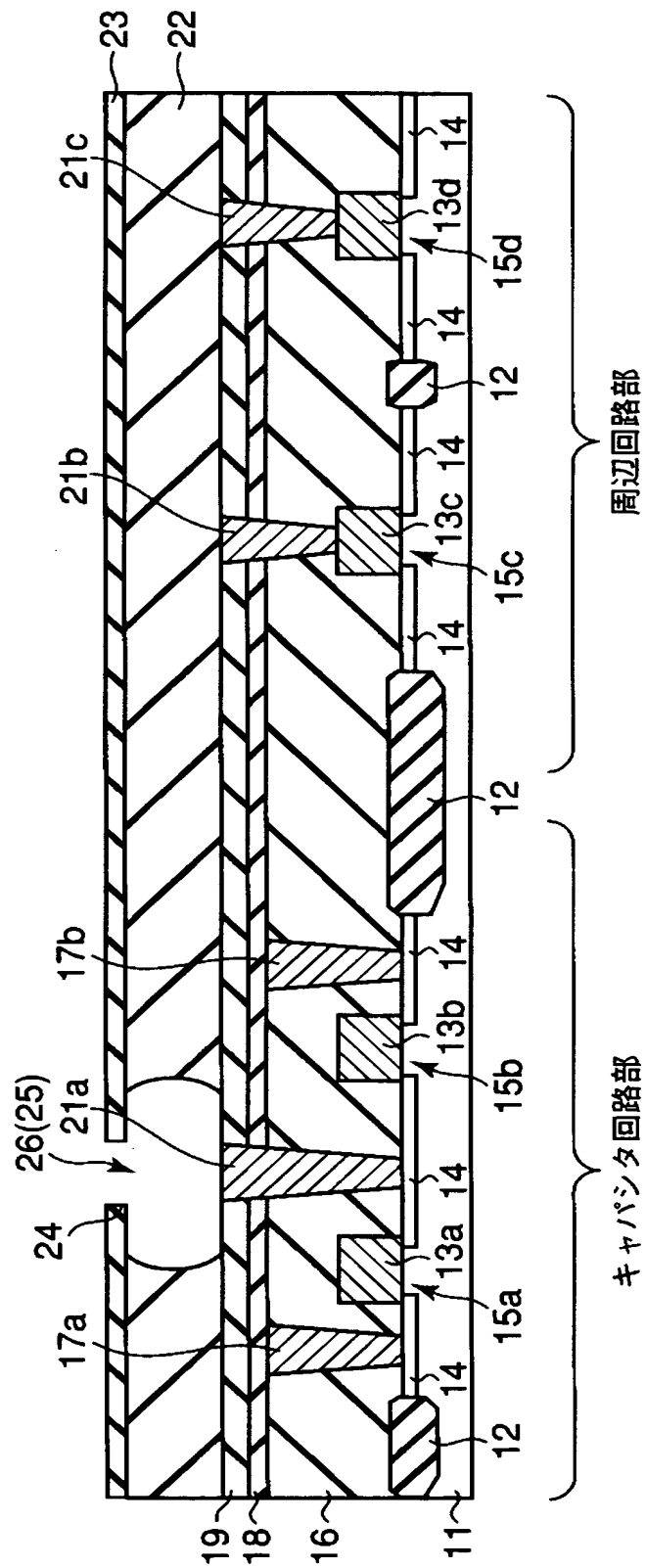
【図 6】



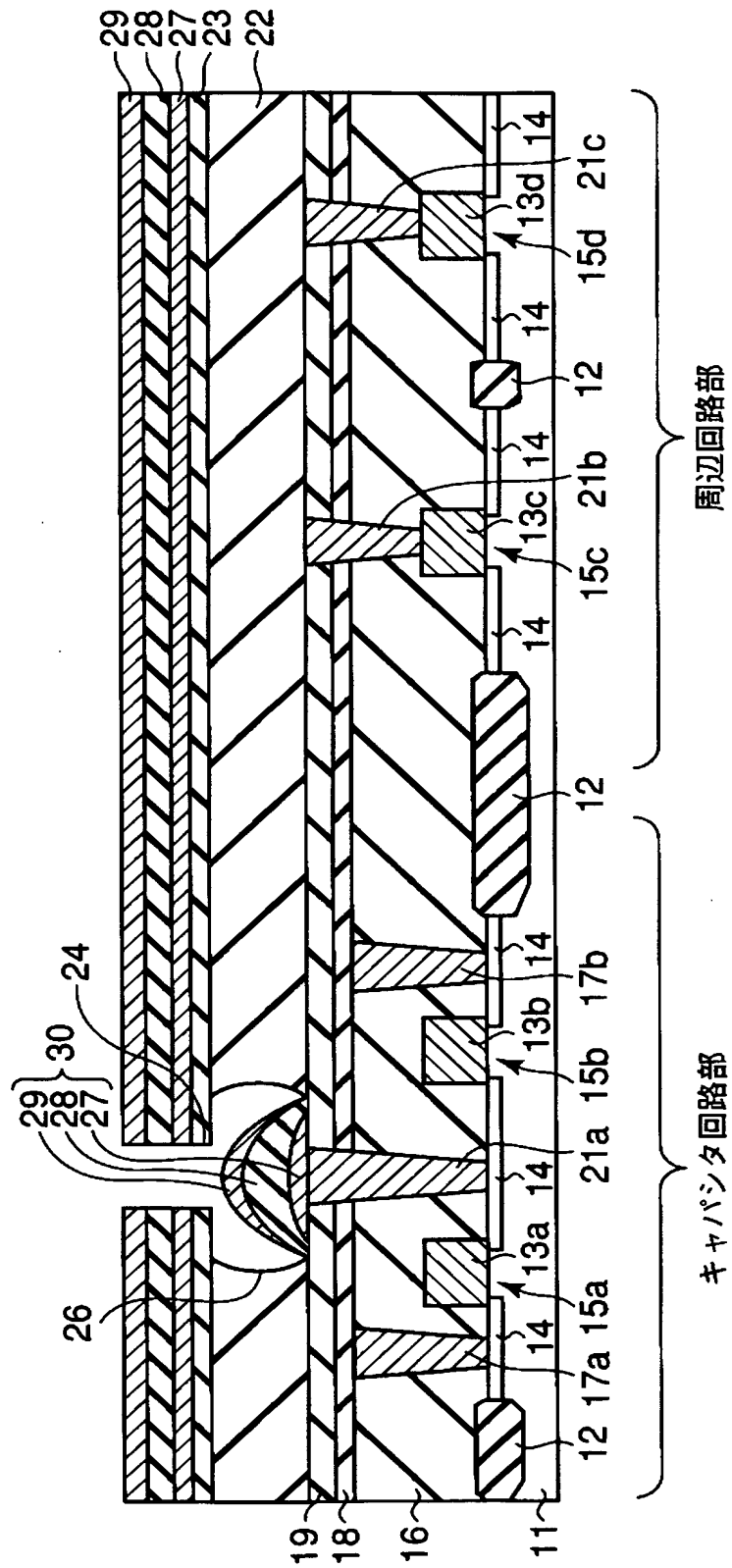
【図 7】



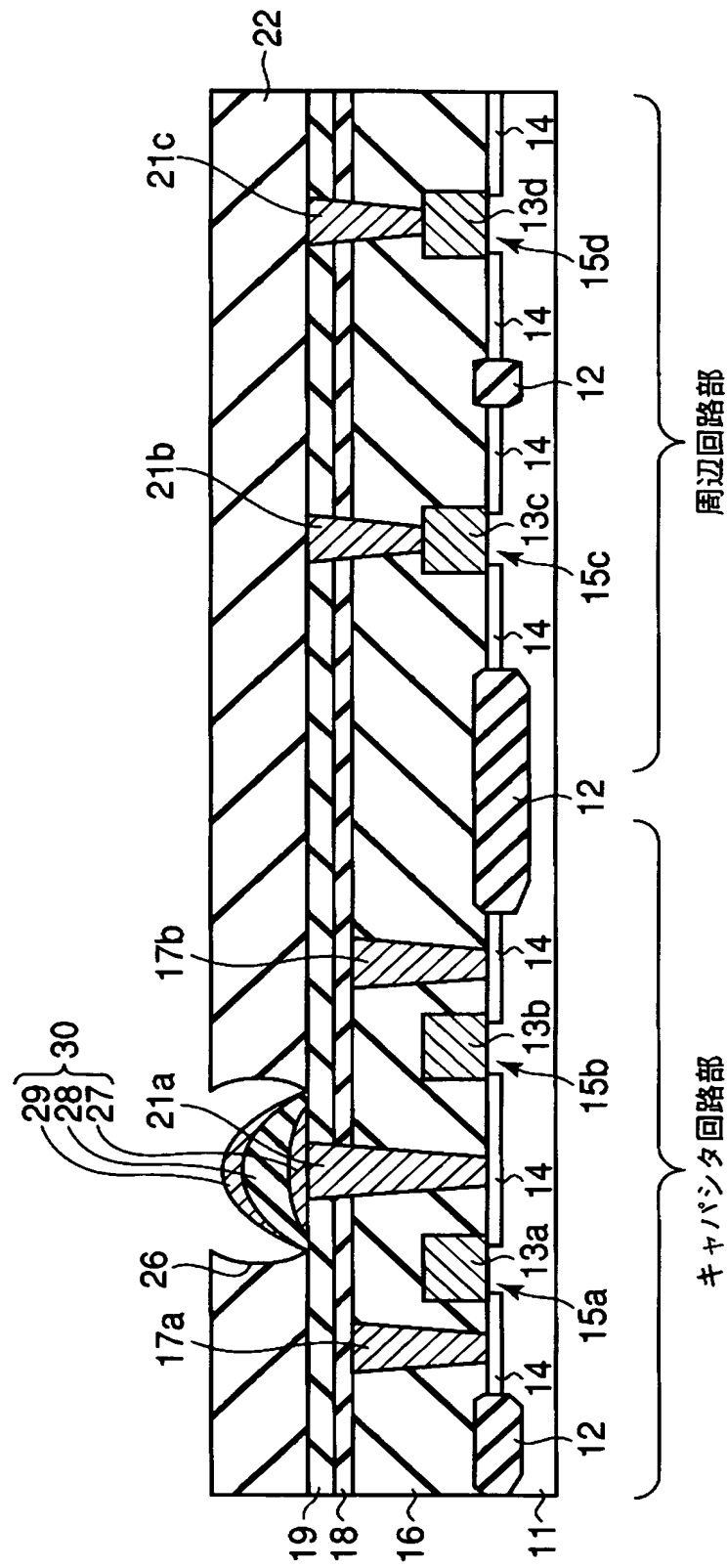
【図 8】



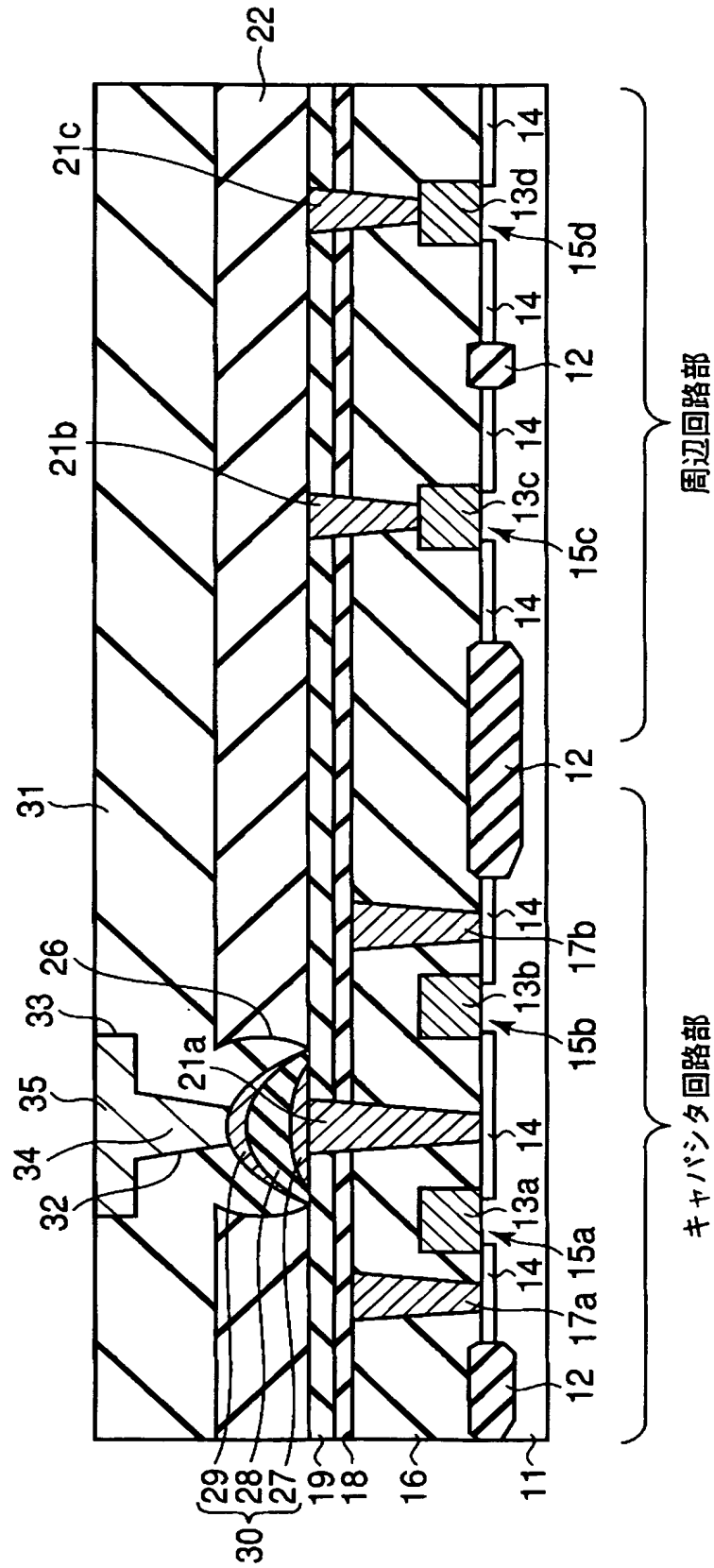
【図 9】



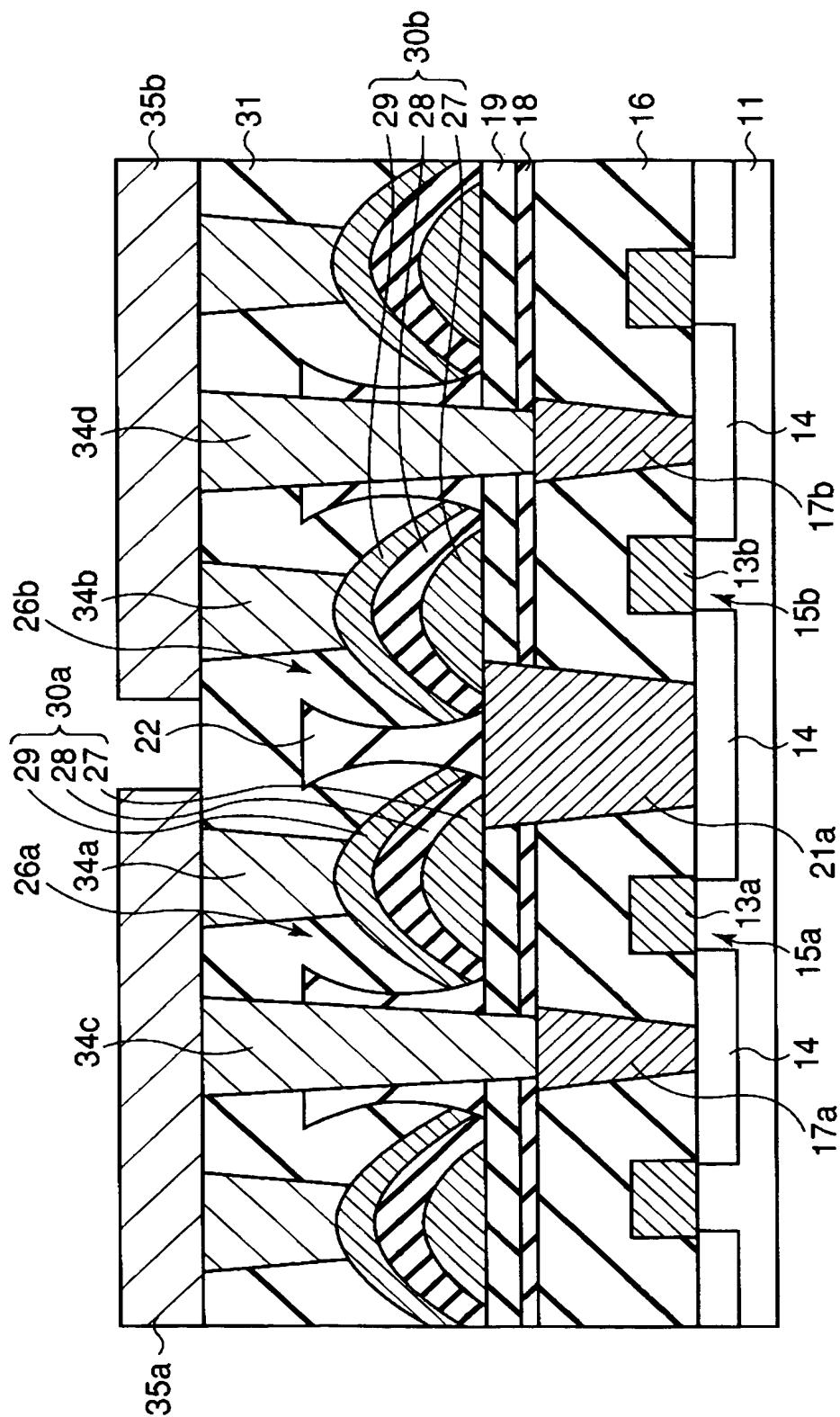
【図 10】



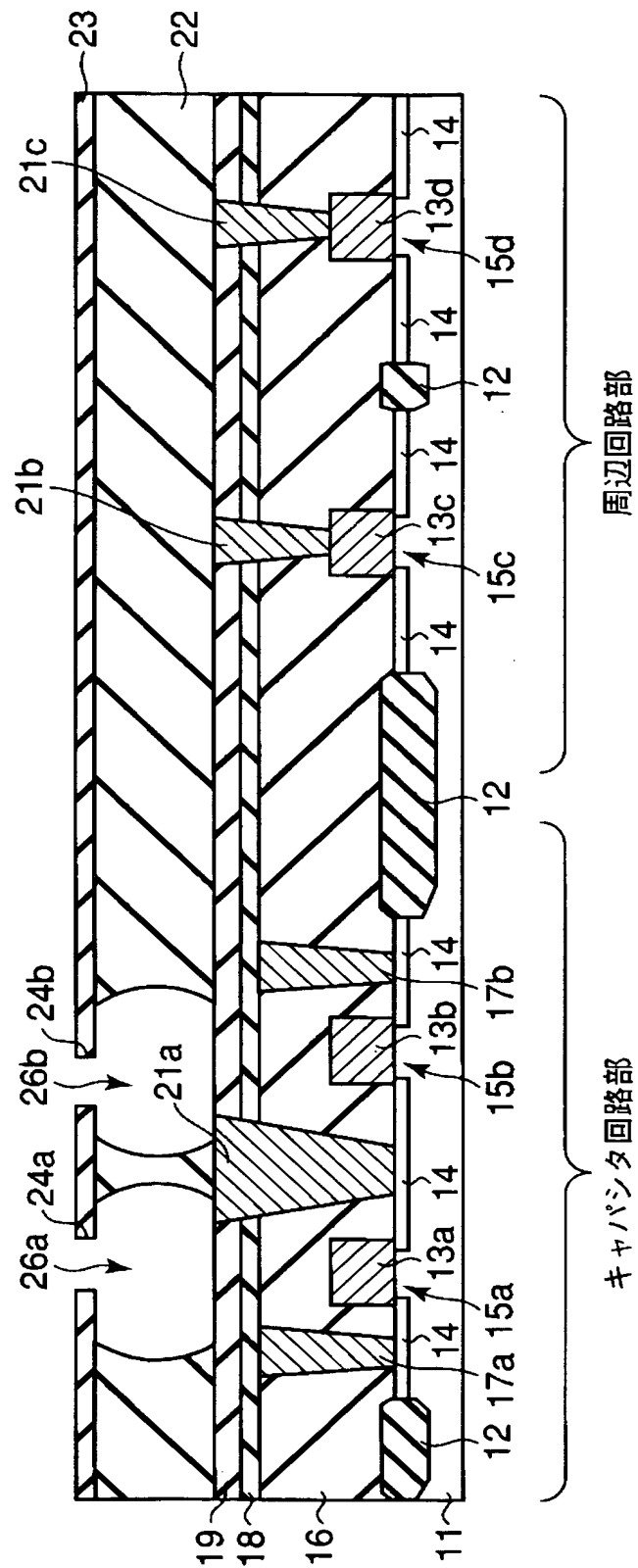
【図 11】



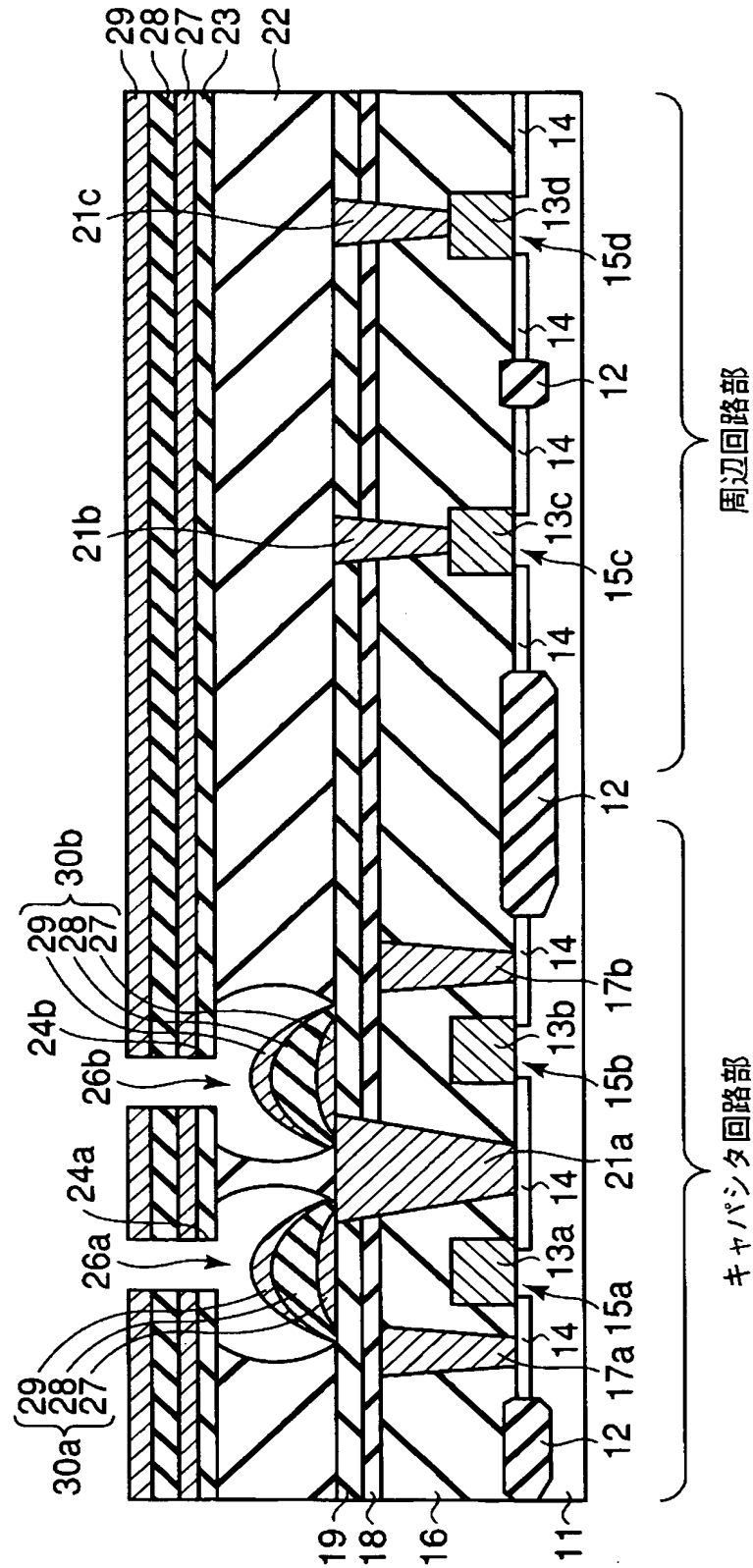
【図 12】



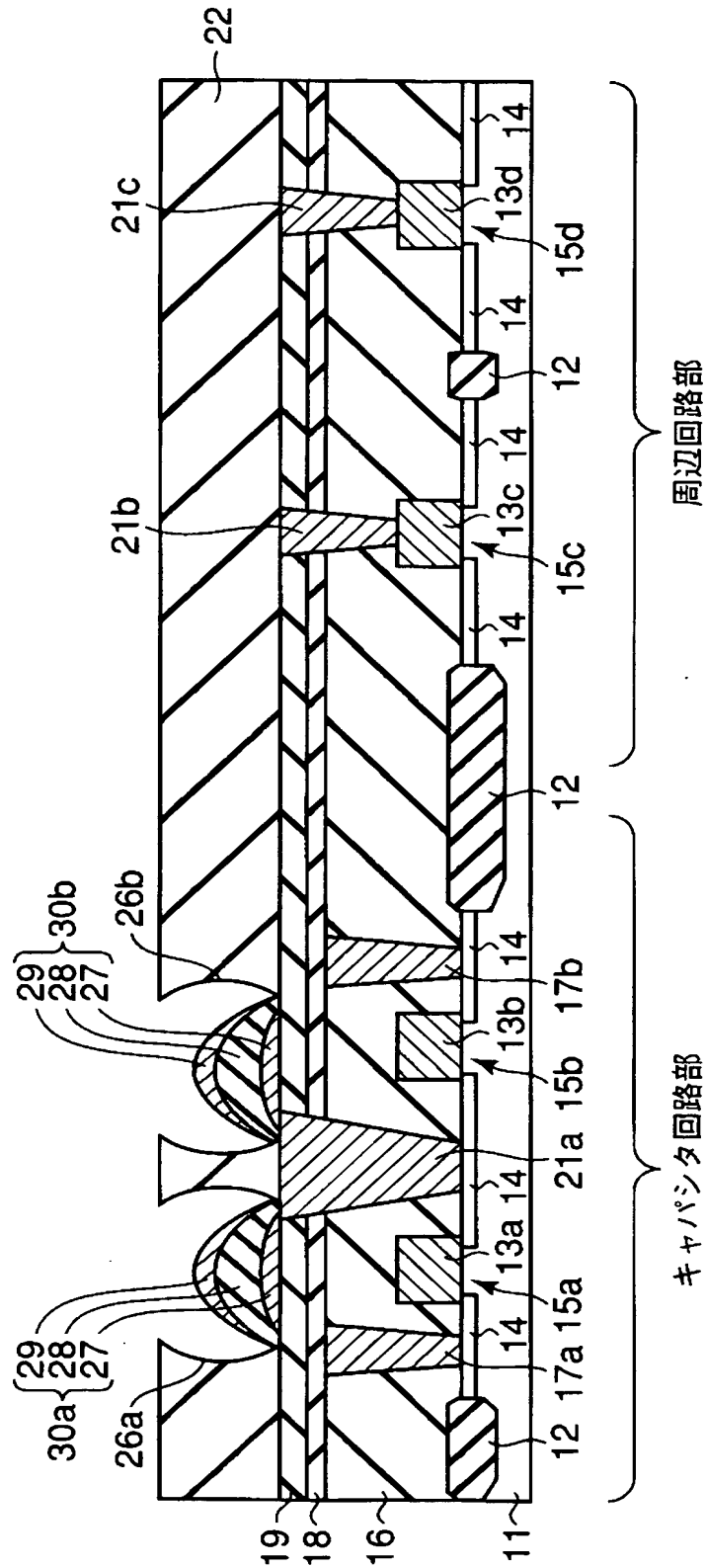
【图 13】



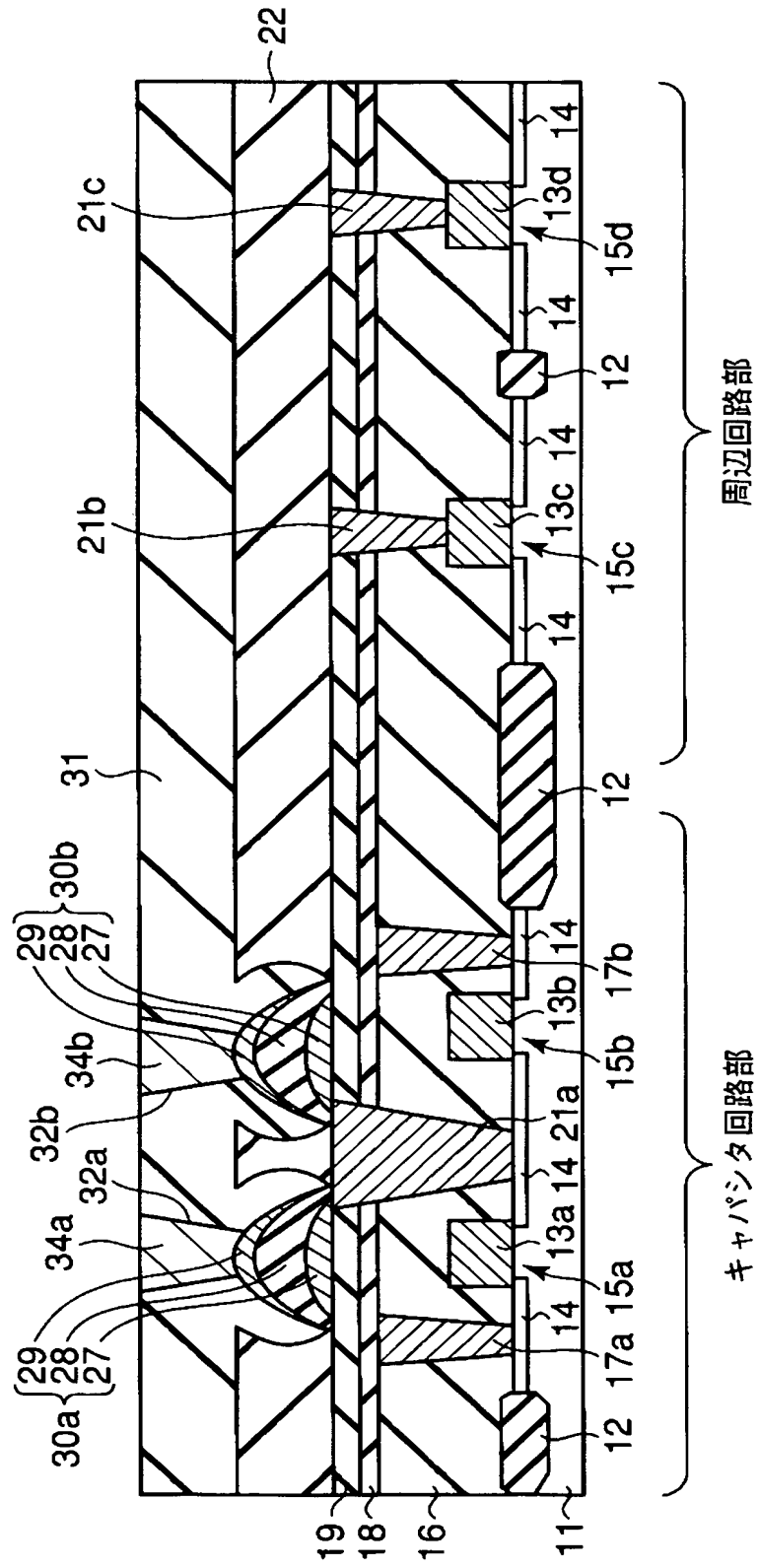
【図 14】



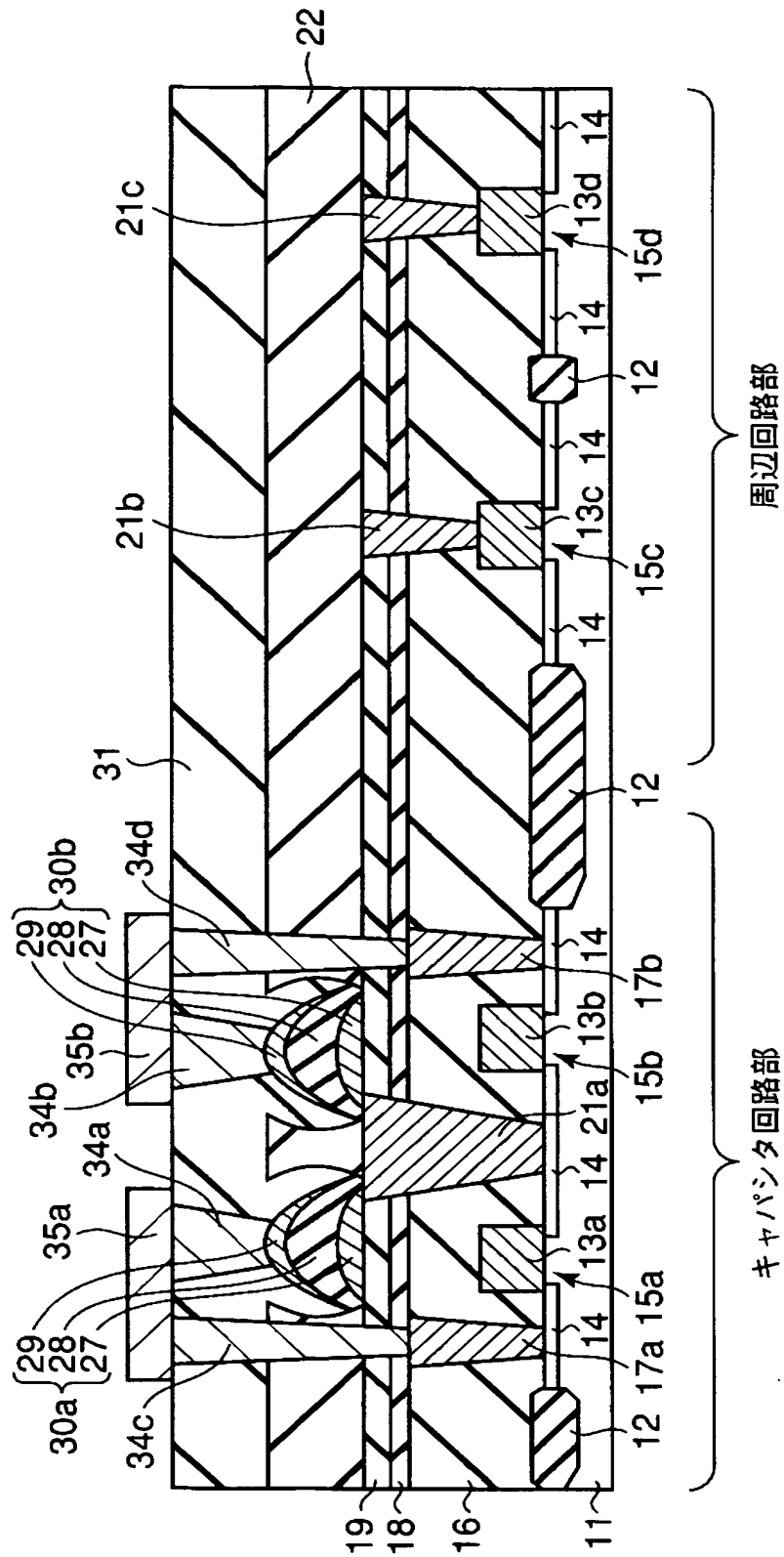
【図 15】



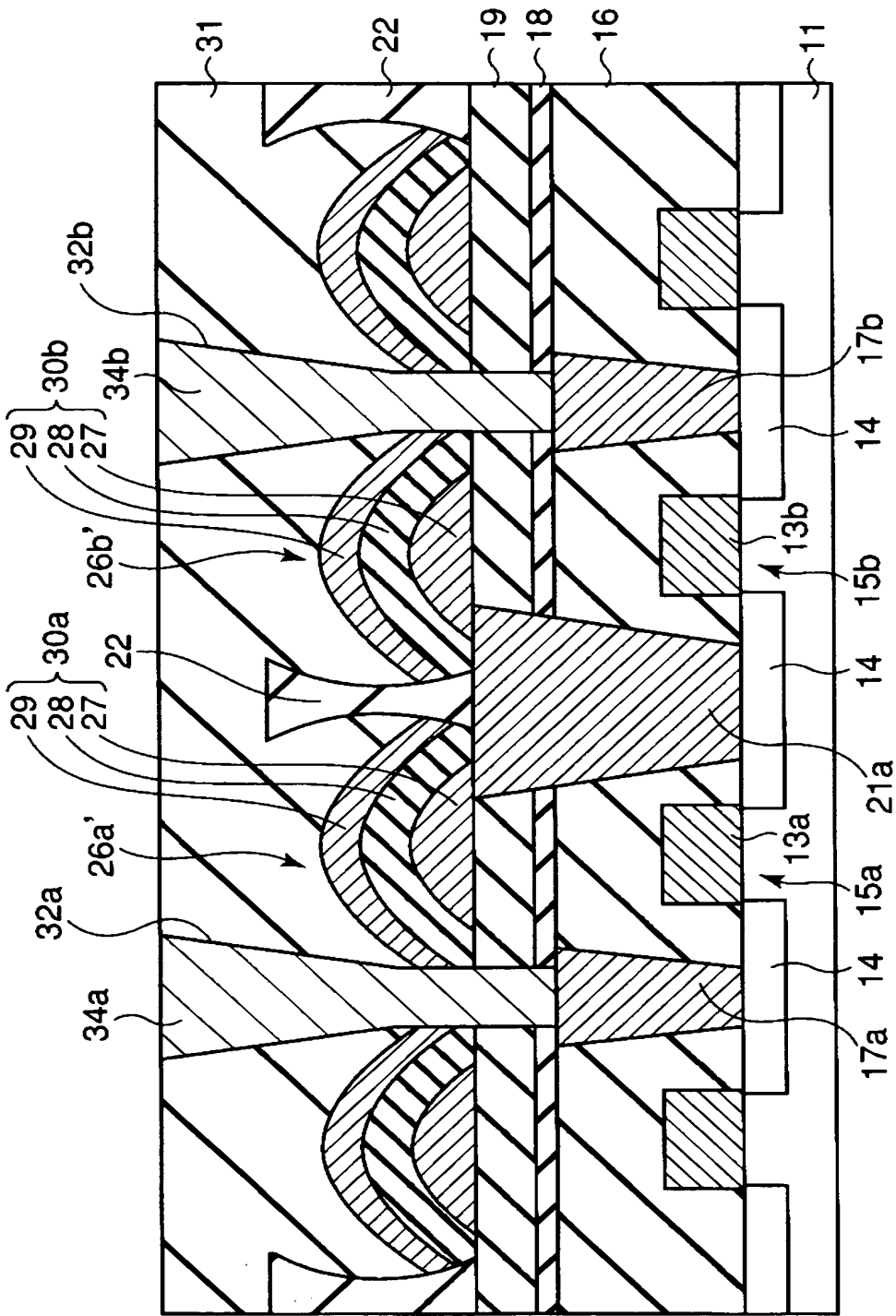
【図 16】



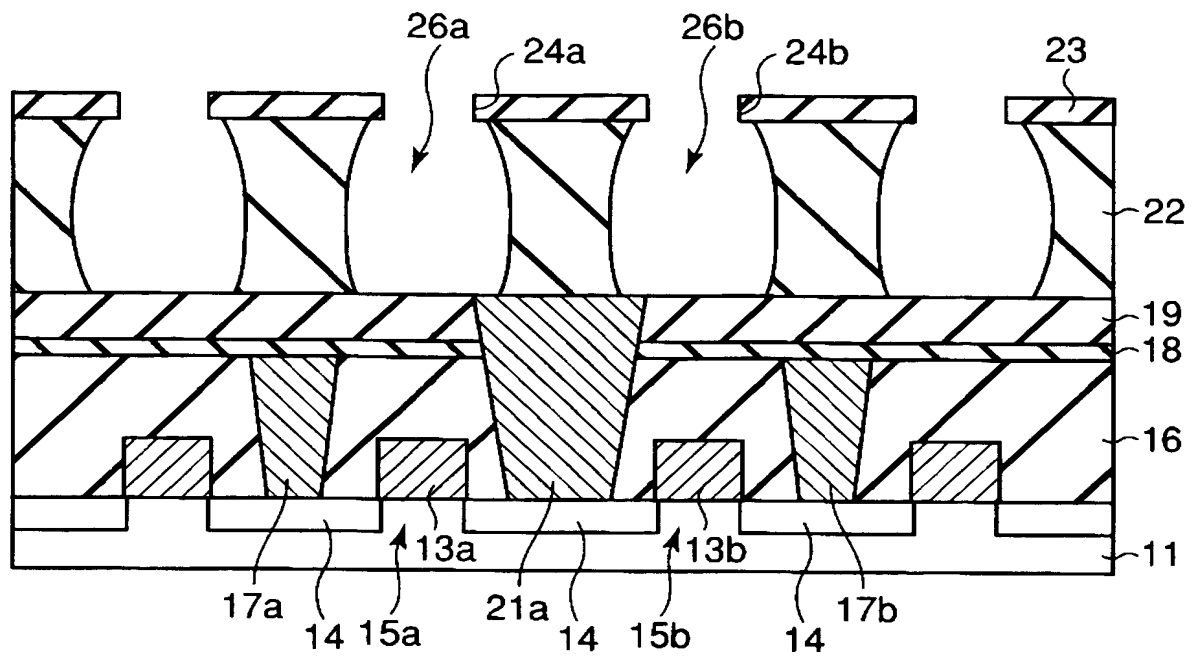
【図 17】



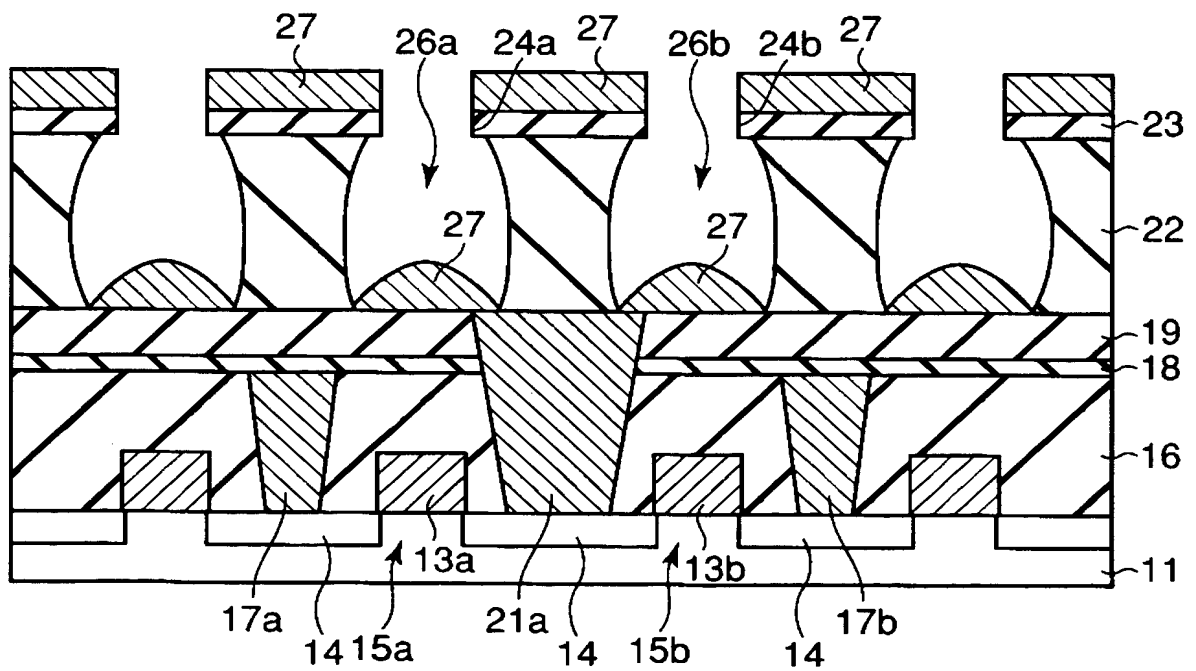
【図 18】



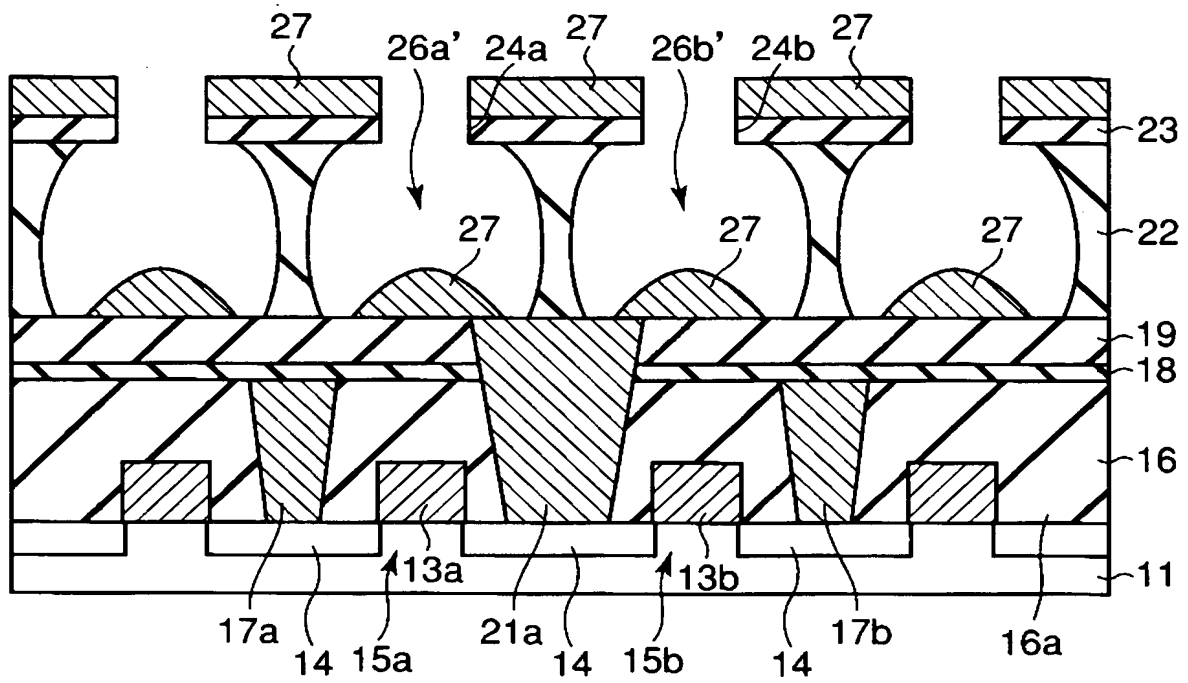
【図 19】



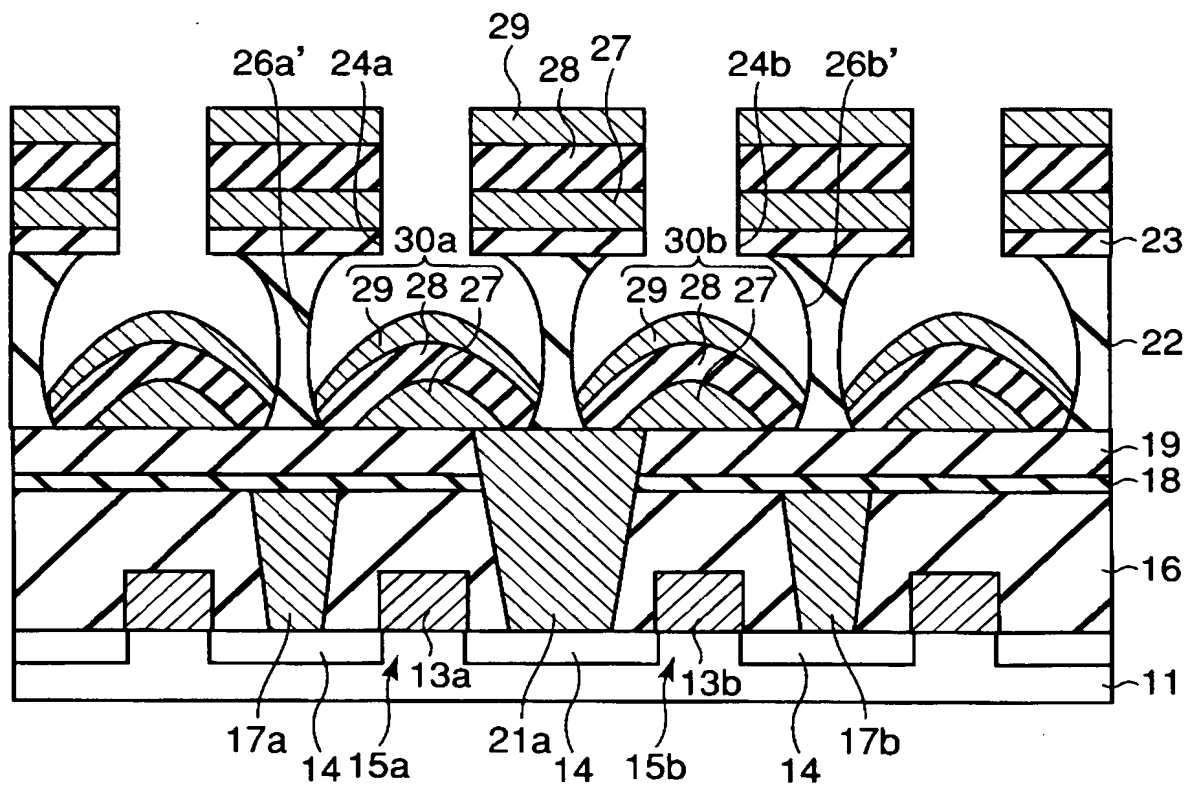
【図 20】



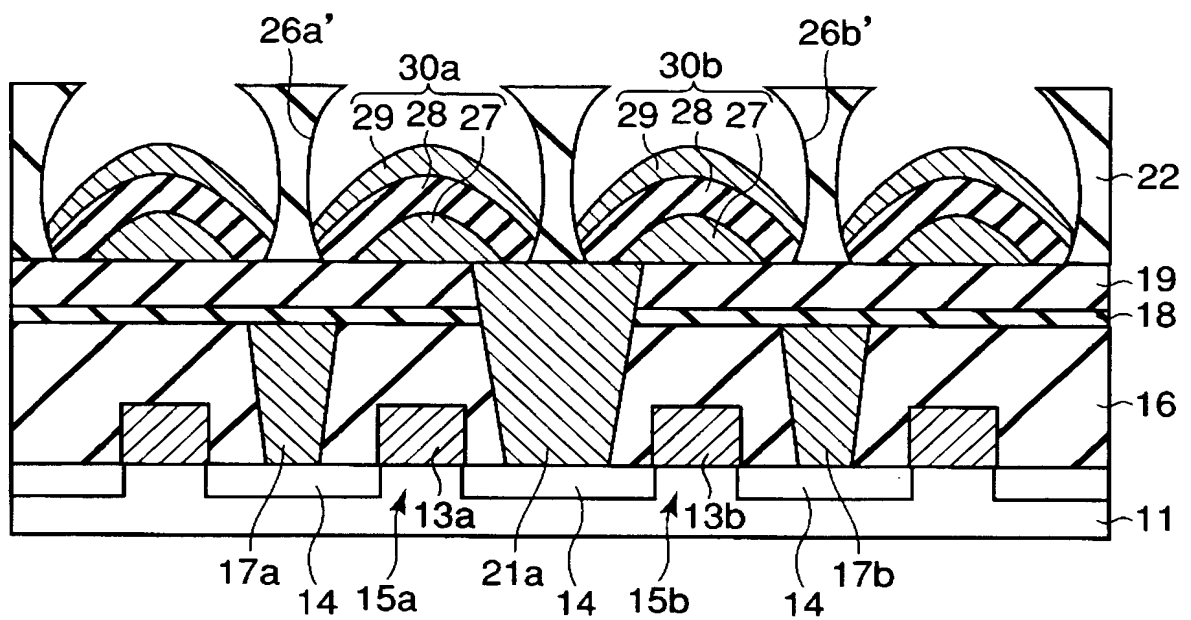
【図 2 1】



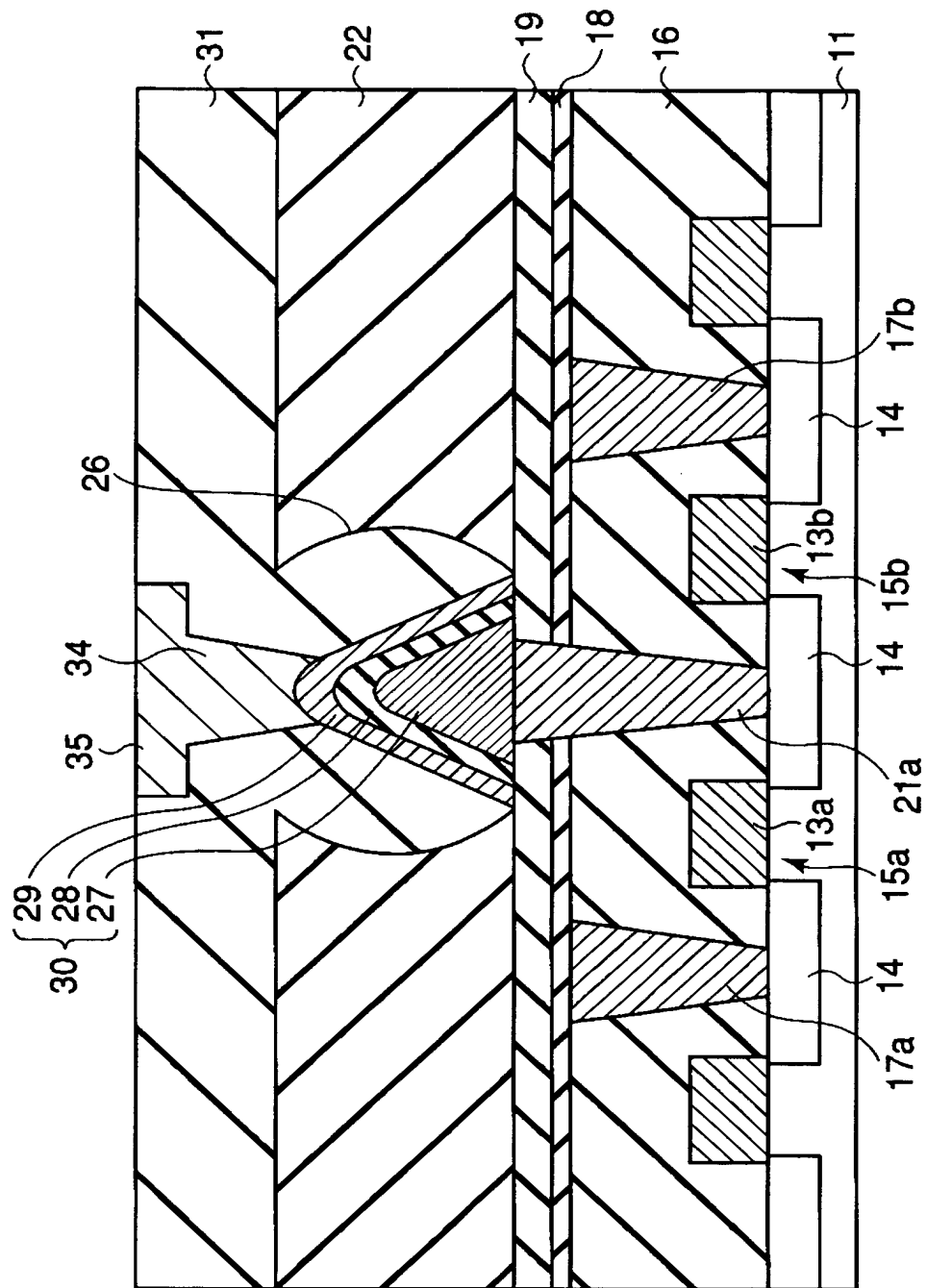
【図 2 2】



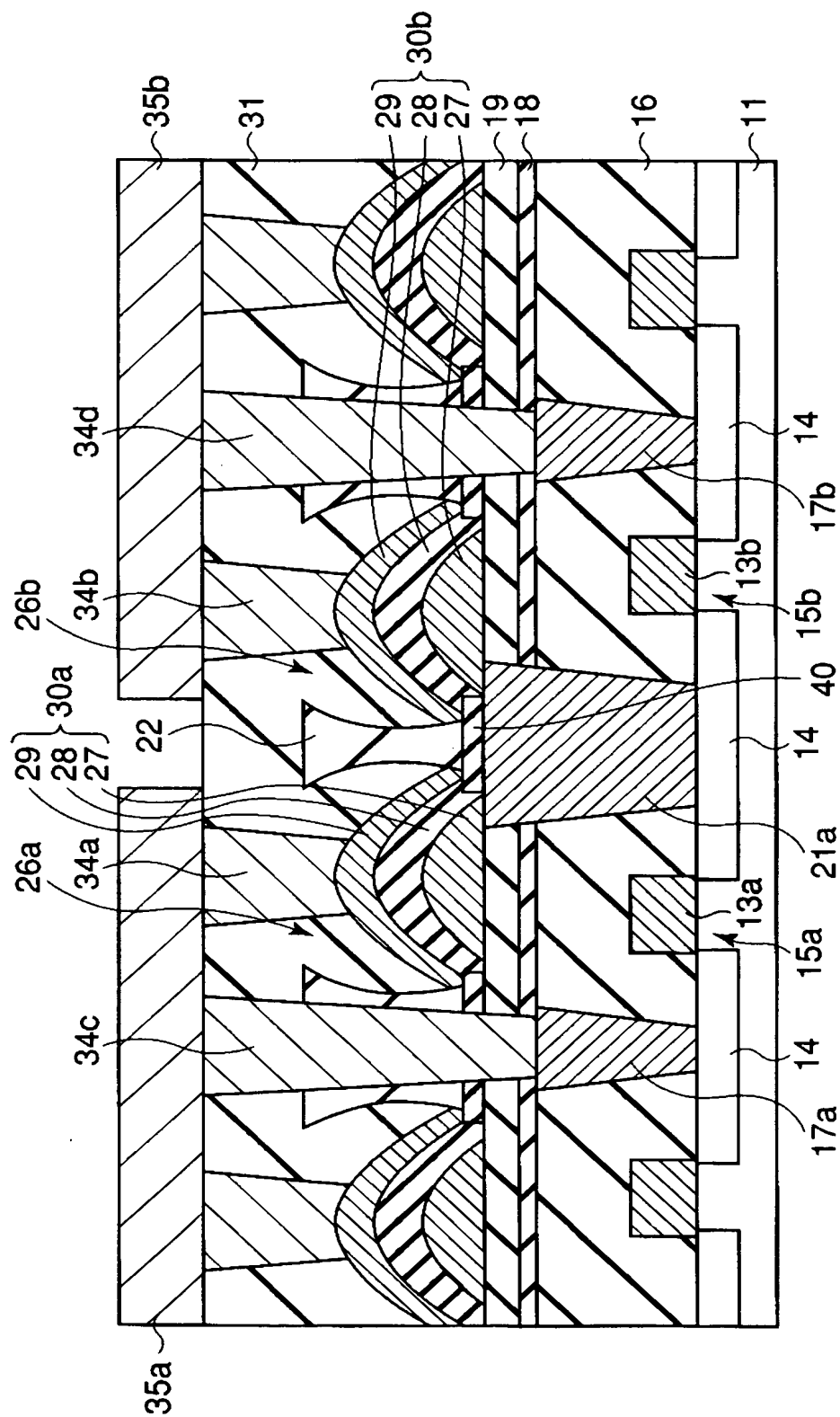
【図 23】



【図 24】



【圖 25】



【書類名】要約書

【要約】

【課題】ドライエッチング技術を用いないで強誘電体キャパシタを形成する。

【解決手段】強誘電体記憶装置は、半導体基板 11 と、この半導体基板 11 に形成されたトランジスタ 15a と、このトランジスタ 15a に電氣的に接続され、下部電極 27 と強誘電体膜 28 と上部電極 29 とを有するキャパシタ材料層で形成され、このキャパシタ材料層の中央部の膜厚がキャパシタ材料層の端部の膜厚よりも厚い強誘電体キャパシタ 30 とを具備する。

【選択図】 図 1

特願 2 0 0 4 - 0 2 8 0 9 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝